

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder：

申請日：西元 2003 年 06 月 09 日
Application Date

申請案號：092115508
Application No.

申請人：矽品精密工業股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 8 月 4 日
Issue Date

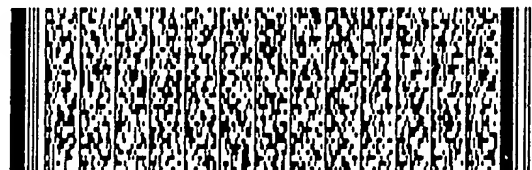
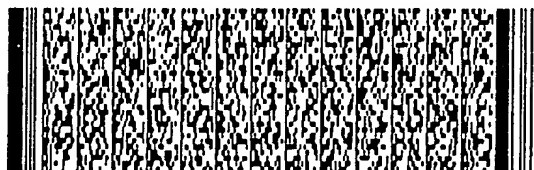
發文字號：09220783870
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	於晶片上植設有導電凸塊之半導體封裝件及其製法
	英文	SEMICONDUCTOR PACKAGE HAVING CONDUCTIVE BUMPS ON CHIP AND MEHOD FOR FABRICATING THE SAME
二、 發明人 (共2人)	姓名 (中文)	1. 黃建屏 2. 蕭承旭
	姓名 (英文)	1. Chien Ping HUANG 2. Cheng-Hsu HSIAO
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹縣竹東鎮康莊街26巷8號 2. 南投市建國路226號
	住居所 (英文)	1. No. 8, Lane 26, Kang Chuang Sreet, Chutung Town, Hsinchu County, Taiwan, R.O.C. 2. No. 226, Chien-Kuo Rd., Nan-tou, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 矽品精密工業股份有限公司
	名稱或姓名 (英文)	1. SILICONWARE PRECISION INDUSTRIES CO., LTD.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 台中縣潭子鄉大豐路三段123號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. No. 123, Sec. 3, Da Fong Road, Tantz, Taichung, Taiwan, R.O.C.
	代表人 (中文)	1. 林文伯
代表人 (英文)	1. Wen-Po LIN	



17331矽品.ptd

四、中文發明摘要 (發明名稱：於晶片上植設有導電凸塊之半導體封裝件及其製法)

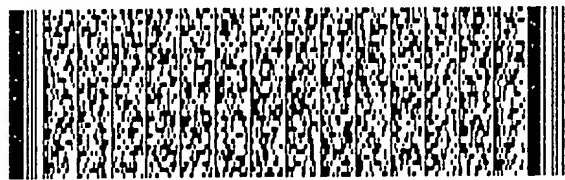
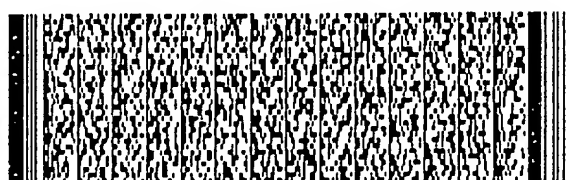
一種於晶片上植設有導電凸塊之半導體封裝件及其製法，係於晶片作用表面的鐳墊 (bond pad) 上形成多數導電凸塊 (conductive bump)，並藉一封裝膠體包覆該晶片及導電凸塊，且使導電凸塊之端部外露出封裝膠體。然後，於封裝膠體上形成多數導電跡線 (conductive trace)，並使導電跡線電性連接至導電凸塊之外露端部。再於導電跡線上敷設一拒鐳劑 (solder mask) 層，該拒鐳劑層開設有多數開孔，以使導電跡線之預定部分藉該開孔外露而與多數鐳球 (solder ball) 鐳連。此種半導體封裝件利用導電凸塊突顯出晶片上鐳墊的位置，以使導電跡線得藉導電凸塊良好地電性連接至鐳墊，而能確保製成品之良率及信賴性。

本案代表圖：第 1 圖

20 晶片

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE HAVING CONDUCTIVE BUMPS ON CHIP AND MEHOD FOR FABRICATING THE SAME)

A semiconductor package having conductive bumps on a chip and a method for fabricating the same are provided. A plurality of the conductive bumps are deposited respectively on bond pads formed on an active surface of the chip. The chip and conductive bumps are encapsulated by an encapsulation body, with ends of the conductive bumps exposed outside of the encapsulation body. A

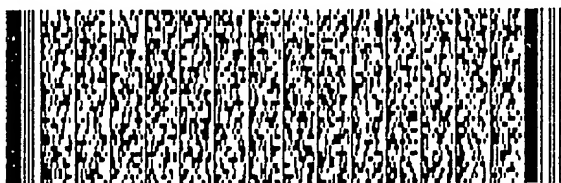


四、中文發明摘要 (發明名稱：於晶片上植設有導電凸塊之半導體封裝件及其製法)

- 200 作用表面
- 201 非作用表面
- 202 鐳墊
- 21 導電凸塊
- 210 端部
- 22 封裝膠體
- 23 導電跡線
- 24 拒鐳劑層
- 240 開孔
- 25 鐳球

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE HAVING CONDUCTIVE BUMPS ON CHIP AND MEHOD FOR FABRICATING THE SAME)

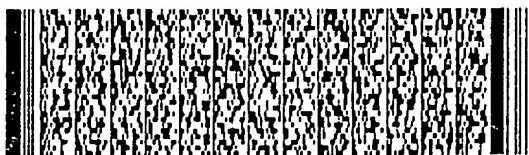
plurality of conductive traces are formed on the encapsulation-body and electrically connected to the exposed ends of the conductive bumps. A solder mask layer is applied over the conductive traces while exposing predetermined portions of the conductive traces via a plurality of openings through the solder mask layer. The exposed portions of the conductive traces are connected to



四、中文發明摘要 (發明名稱：於晶片上植設有導電凸塊之半導體封裝件及其製法)

六、英文發明摘要 (發明名稱：SEMICONDUCTOR PACKAGE HAVING CONDUCTIVE BUMPS ON CHIP AND MEHOD FOR FABRICATING THE SAME)

a plurality of solder balls respectively. The conductive bumps on the bond pads of the chip desirably allow easy positional recognition of the bond pads, thereby making the conductive traces well electrically connected to the bond pads through the conductive bumps so as to assure the quality and reliability of the semiconductor package.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

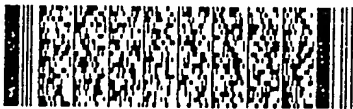
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

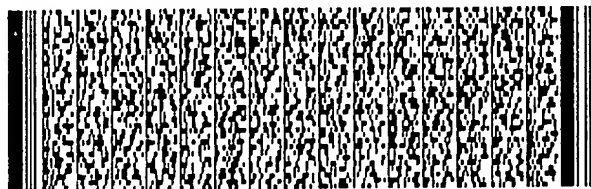
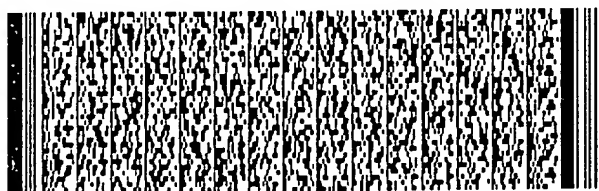
【發明所屬之技術領域】

本發明係有關一種半導體封裝件及其製法，尤指一種不需晶片承載件之半導體封裝件，以及製造該半導體封裝件之方法。

【先前技術】

半導體封裝件係一種用以承載至少一積體電路元件例如半導體晶片且通常利用封裝樹脂包覆並保護晶片的結構。半導體封裝件之尺寸往往較佳為輕薄短小，因而發展出一種晶片級封裝件 (chip scale package, CSP)，其特徵在於此種 CSP 結構僅具有與晶片尺寸相等或略大的尺寸。

美國專利第 5,892,179、6,103,552、6,287,893、6,350,668 及 6,433,427 號案即揭露一種傳統之 CSP 結構，係直接於晶片上形成增層 (build-up layers) 而無需使用晶片承載件例如基板或導線架等，且利用重佈線 (RDL, redistribution layer) 技術重配晶片上的鐳墊至所欲位置。如第 5 圖所示，是種 CSP 結構具有多數形成於晶片 10 之作用表面 (active surface) 100 上的增層，包括：一介電層 (dielectric layer) 11，敷設於晶片 10 之作用表面 100 上並開設有多數貫孔 110，以使晶片 10 上的鐳墊 101 藉該貫孔 110 外露；以及多數導電跡線 12，形成於該介電層 11 上並電性連接至晶片 10 上外露的鐳墊 101。該導電跡線 12 上可敷設一拒鐳劑層 (solder mask layer) 13，並藉多數穿通該拒鐳劑層 13 之開孔 130 使導電跡線 12 的預定部分外露

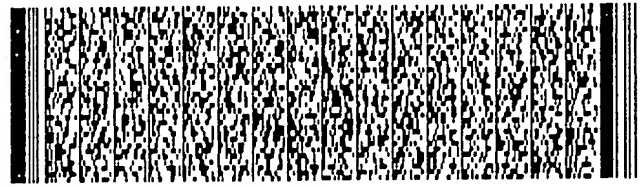
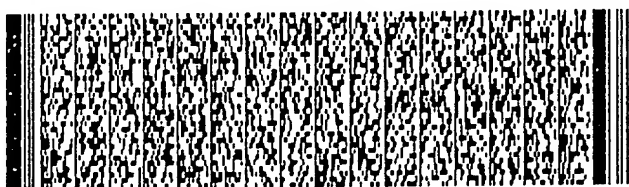


五、發明說明 (2)

而與鐳球 14 鐳連，該鐳球 14 係作為與外界裝置 (未圖示) 電性連接之輸入/輸出 (input/output, I/O) 端。因此，利用導電跡線 12 得使與之連接的鐳墊 101 重配至與鐳球 14 相接的位置，以使鐳墊 101 藉導電跡線 12 與鐳球 14 成電性連接關係。換言之，當晶片上的鐳墊佈設於周邊 (peripheral) 部位或呈不等距 (uneven pitch) 排列時，得利用重佈線技術使該周邊或不等距列置之鐳墊藉導電跡線重配至預定用以接置鐳球且呈陣列式 (array) 排列的位置，而使後續形成於該預定位置上之呈陣列排列的鐳球 (即所謂 "球柵陣列") 藉導電跡線與鐳墊電性連接。

然而上述 CSP 結構之缺點在於重佈線技術之施用或佈設於晶片上的導電跡線往往受限於晶片之尺寸或其作用表面之面積大小，尤其當晶片之積集度提昇且晶片尺寸日趨縮小的情況下，晶片甚至無法提供足夠或更多表面區域以安置較多或更多數量的鐳球俾供有效與外界電性連接之用。

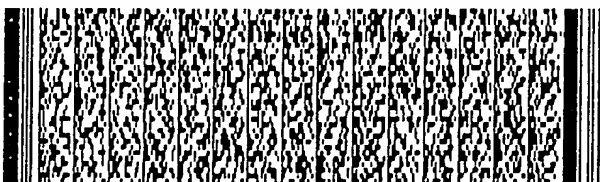
鑑此，美國專利第 6,271,469 號案揭露另一種於晶片上形成增層的封裝結構，得提供較為充足或較多的表面區域以承載較多或更多的輸入/輸出端或鐳球。如第 6 圖所示，是種封裝結構利用一封裝膠體 15 遮覆住晶片 10 之非作用表面 102 及側面 103，而使晶片 10 之作用表面 100 外露且與封裝膠體 15 的表面 150 齊平。然後，敷設一第一介電層 16 於晶片 10 之作用表面 100 及封裝膠體 15 的表面 150 上，並利用雷射鑽孔 (laser drilling) 技術開設多數貫穿該第一



五、發明說明 (3)

介電層 16 之貫孔 160，藉之露出晶片 10 上的銲墊 101。接著，形成多數導電跡線 12 (下稱 "第一導電跡線") 於該第一介電層 16，並使第一導電跡線 12 與外露之銲墊 101 電性連接。而後，於該第一導電跡線 12 上敷設一第二介電層 17，並開設多數貫穿第二介電層 17 之貫孔 170 以藉之露出第一導電跡線 12 的預定部分，再於該第二介電層 17 上形成多數第二導電跡線 18，而使第二導電跡線 18 與第一導電跡線 12 的外露部分電性連接。最後，於第二導電跡線 18 上敷設拒銲劑層 13，使第二導電跡線 18 的預定部分藉拒銲劑層 13 之開孔 130 外露而與銲球 14 銲連。因此，用以包覆晶片 10 之封裝膠體 15 的表面 150 得提供較晶片 10 作用表面 100 為大之表面區域而能安置較多銲球 14 以有效達成與外界之電性連接。

然而，上揭封裝結構之缺點在於當使用雷射鑽孔技術開設貫穿第一介電層之貫孔以露出晶片上的銲墊時，晶片上的銲墊為第一介電層所遮覆，而使雷射通常難以準確地辨認出銲墊的位置，因而無法使所開設的貫孔精確地對應至銲墊的位置；由於晶片上的銲墊無法完全露出，故難以確保導電跡線與銲墊間之電性連接品質，而使製成品的良率及信賴性受損。同時，於晶片及封裝膠體上敷設第一介電層並利用雷射鑽孔技術開設貫孔會增加成本及製程之複雜性，且該第一介電層與晶片及封裝膠體具有不同的熱膨脹係數 (CTE, coefficient of thermal expansion)，故於高溫環境或熱循環 (thermal cycle) 下，第一介電層與



五、發明說明 (4)

晶片及封裝膠體會產生不同的熱應力 (thermal stress) 而易使其間之界面 (interface) 發生脫層 (delamination)，從而降低製成品的品質及信賴性。

有鑑於此，如何提供一種半導體封裝件，能確保導電跡線與鉅墊間之電性連接品質並提昇製成品的良率及信賴性，實為一重要課題。

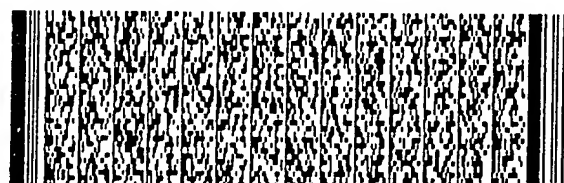
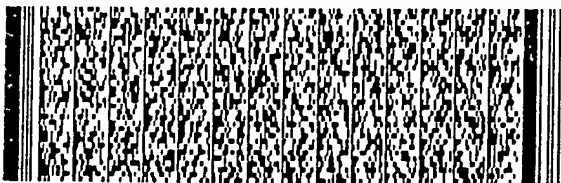
【發明內容】

本發明之一目的在於提供一種於晶片上植設有導電凸塊之半導體封裝件及其製法，係於晶片之鉅墊上形成多數導電凸塊 (conductive bump) 以突顯出鉅墊的位置，而能確保導電跡線與鉅墊間之電性連接品質，俾改善製成品的良率及信賴性 (reliability)。

本發明之另一目的在於提供一種於晶片上植設有導電凸塊之半導體封裝件及其製法，無需於晶片上敷設介電層及利用雷射技術開設貫穿介電層之貫孔以藉之露出晶片上的鉅墊，故能降低成本及簡化製程。

本發明之又一目的在於提供一種於晶片上植設有導電凸塊之半導體封裝件及其製法，無需於晶片上及用以包覆晶片之封裝膠體上敷設介電層，故得避免介電層與晶片及封裝膠體之間因熱膨脹係數 (CTE, coefficient of thermal expansion) 不同而產生脫層 (delamination)。

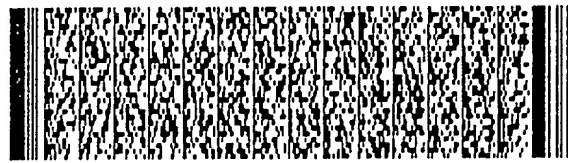
為達成上揭及其他目的，本發明揭露一種於晶片上植設有導電凸塊之半導體封裝件，包括：至少一晶片，具有一作用表面及一相對之非作用表面，並於該作用表面上形



五、發明說明 (5)

成有多數鐳墊；多數導電凸塊，分別形成於該晶片之鐳墊上；一封裝膠體，用以包覆該晶片及導電凸塊，並使該導電凸塊之端部外露，該封裝膠體且與該封裝膠體之一表面齊平；多數第一導電跡線，形成於該封裝膠體之表面上並電性連接至該導電凸塊之外露端部；一拒鐳劑層，敷設於該第一導電跡線上並開設有多數開孔，以使該第一導電跡線之預定部分藉該開孔外露；以及多數鐳球，分別形成於該第一導電跡線之外露部分上。

上揭半導體封裝件之製法，包括下列步驟：製備一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鐳墊；分別形成多數導電凸塊於各該晶片之鐳墊上；切割該晶圓以形成多數單離之晶片，而各該晶片具有多數導電凸塊；提供一載具，用以承載該多數晶片，並使各該晶片藉其導電凸塊接置於該載具之一表面上；形成一封裝膠體於該載具之表面上，用以包覆該多數晶片與導電凸塊；移除該載具，以使該導電凸塊之端部外露，該封裝膠體且與該封裝膠體之一表面齊平；形成多數導電跡線於該封裝膠體之表面上，並使該導電跡線電性連接至該導電凸塊之外露端部；敷設一拒鐳劑層於該導電跡線上，並開設多數貫穿該拒鐳劑層之開孔，以使該導電跡線之預定部分藉該開孔外露；分別形成多數鐳球於該導電跡線之外露部分上；以及切割該封裝膠體，以形成多數具有單離之晶片的半導體封裝件。



五、發明說明 (6)

上述半導體封裝件係先於晶片之鐳墊上植設多數導電凸塊，然後藉一封裝膠體包覆晶片並使導電凸塊之端部外露出該封裝膠體，以使後續增層得形成於該外露之端部上。此種結構之優點在於導電凸塊之外露端部得突顯出晶片上鐳墊的位置使其易於辨識，以使後續形成於封裝膠體上之導電跡線得藉導電凸塊良好地電性連接至鐳墊，而改善製成品的良率及信賴性。因此，相較於習知技術需先於晶片及封裝膠體上形成一介電層，再利用雷射鑽孔技術開設多數貫穿該介電層之貫孔以藉之露出晶片上的鐳墊，本發明之半導體封裝件則無需使用介電層及雷射鑽孔技術，故能降低成本並簡化製程，且晶片上的鐳墊不會為介電層所遮覆，而能避免因雷射難以準確地辨識出鐳墊位置而無法使鐳墊精確或完整地外露從而影響鐳墊與導電跡線間電性連接品質等問題，且無需於晶片及封裝膠體上敷設介電層復能摒除習知因介電層與晶片及封裝膠體之熱膨脹係數及產生之熱應力不同而易於其間之界面造成脫層等缺點。

【實施方式】

以下即配合所附圖式第 1、2A 至 2H、3 及 4 圖詳細說明本發明所揭露之半導體封裝件及其製法的實施例。

第一實施例

如第 1 圖所示，本發明之半導體封裝件包括：至少一晶片 20，具有一作用表面 200 及一相對之非作用表面 201，並於該作用表面 200 上形成有多數鐳墊 202；多數導電凸塊 21，分別形成於晶片 20 之鐳墊 202 上；一封裝膠體 22，用



五、發明說明 (7)

以包覆晶片 20 及導電凸塊 21，並使導電凸塊 21 之端部 210 外露出封裝膠體 22；多數導電跡線 23，形成於封裝膠體 22 上並電性連接至導電凸塊 21 之外露端部 210；一拒銲劑層 24，敷設於導電跡線 23 上並開設有多數開孔 240，以使導電跡線 23 之預定部分藉該開孔 240 外露；以及多數銲球 25，分別形成於導電跡線 23 之外露部分上。

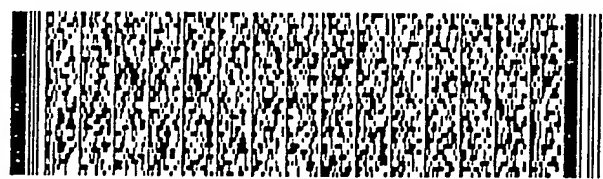
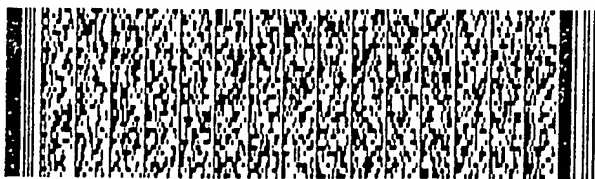
上述半導體封裝件得以第 2A-2H 圖所示之製程步驟製得。

首先，如第 2A 圖所示，製備一晶圓 2，其由多數晶片 20 構成，各晶片 20 具有一作用表面 200 及一相對之非作用表面 201，並於各晶片 20 之作用表面 200 上形成有多數銲墊 202。接著，進行一銲塊或栓塊形成 (bumping or stud bumping) 步驟，以於晶片 20 之各銲墊 202 上形成一導電凸塊 21，該導電凸塊 21 可為銲錫凸塊 (solder bump)、高鉛含量銲錫凸塊 (high lead solder bump)、金質銲塊 (gold bump)、或金質栓塊 (gold stud bump) 等。

接著，如第 2B 圖所示，進行一切單 (singulation) 作業切割晶圓 2 以形成多數單離之晶片 20，而各晶片 20 具有多數導電凸塊 21。

如第 2C 圖所示，提供一載具 26，例如一膠片 (tape)，用以承載該多數晶片 20，該載具 26 之一表面 260 上可定義出多數封裝單元 261，以使至少一晶片 20 藉其導電凸塊 21 接置於各封裝單元 261 上。

然後，進行一模壓 (molding) 製程利用一習知樹脂材



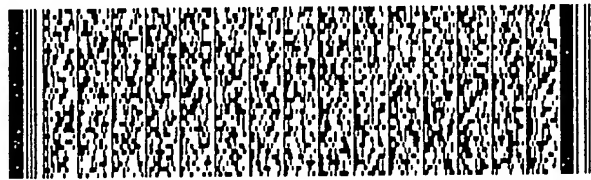
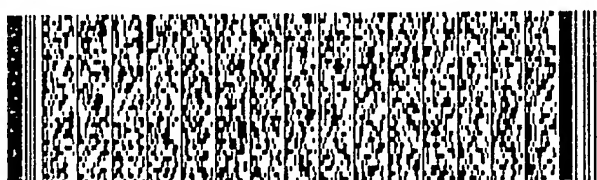
五、發明說明 (8)

料 (例如環氧樹脂等) 形成一封裝膠體 22 於載具 26 之表面 260 上, 以包覆所有載接於載具 26 上之晶片 20 與導電凸塊 21。

如第 2D 圖所示, 將載具 26 自封裝膠體 22 上移除或剝離, 而使觸接載具 26 之導電凸塊 21 的端部 210 外露出封裝膠體 22 且大致與該封裝膠體 22 之一表面 220 齊平。

同時, 如第 2E 圖所示, 可選擇性地進行一研磨 (grinding, 例如機械研磨) 步驟, 以研磨該封裝膠體 22 大致與導電凸塊 21 端部 210 齊平之表面 220, 而能確實地露出導電凸塊 21 之端部 210 並確保該端部 210 確與封裝膠體 22 之表面 220 齊平及該表面 220 之平面度 (planarity), 俾得進行後續製程以於外露之導電凸塊 21 端部 210 上形成增層 (build-up layer), 而封裝膠體 22 之表面 220 亦提供較多的表面區域 (相較於晶片 20 之作用表面 200) 以供後續形成增層及更多數量的輸入/輸出 (input/output, I/O) 端 (未圖示) 之用。

接著, 如第 2F 圖所示, 利用習知例如光微影 (photolithography) 技術於封裝膠體 22 之表面 220 上形成多數導電跡線 23, 且使各導電跡線 23 與至少一導電凸塊 21 之外露端部 210 電性連接, 因此, 晶片 20 上的鐳墊 202 得藉導電凸塊 21 及導電跡線 23 重配 (redistribution) 至所欲位置, 例如與後續輸入/輸出端 (未圖示) 電性導接的位置; 該導電跡線 23 係以一例如銅、鋁、或其合金等之導電材料製成。



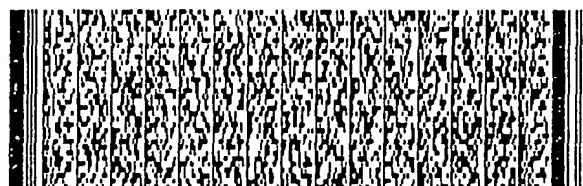
五、發明說明 (9)

如第 2G 圖所示，形成導電跡線 23 於封裝膠體 22 上後，再敷設一拒銲劑層 24 於該導電跡線 23 上，並開設多數貫穿拒銲劑層 24 之開孔 240，以使導電跡線 23 之預定部分藉該開孔 240 外露，而該導電跡線 23 之外露部分可為終端部位 (terminal)。

然後，進行一習知網印 (screen printing) 作業於各導電跡線 23 之外露部分 (終端) 上形成一銲球 25，該銲球 25 作為半導體封裝件之輸入/輸出端，以使晶片 20 藉之與外界裝置 (未圖示，如印刷電路板等) 成電性連接關係。

最後，如第 2H 圖所示，進行一切單作業切割封裝膠體 22，以形成多數具有單離之晶片 20 的半導體封裝件。

上述半導體封裝件係先於晶片之銲墊上植設多數導電凸塊，然後藉一封裝膠體包覆晶片並使導電凸塊之端部外露出該封裝膠體，以使後續增層得形成於該外露之端部上。此種結構之優點在於導電凸塊之外露端部得突顯出晶片上銲墊的位置使其易於辨識，以使後續形成於封裝膠體上之導電跡線得藉導電凸塊良好地電性連接至銲墊，而改善製成品的良率及信賴性。因此，相較於習知技術需先於晶片及封裝膠體上形成一介電層，再利用雷射鑽孔技術開設多數貫穿該介電層之貫孔以藉之露出晶片上的銲墊，本發明之半導體封裝件則無需使用介電層及雷射鑽孔技術，故能降低成本並簡化製程，且晶片上的銲墊不會為介電層所遮覆，而能避免因雷射難以準確地辨識出銲墊位置而無法使銲墊精確或完整地外露從而影響銲墊與導電跡線間電



五、發明說明 (10)

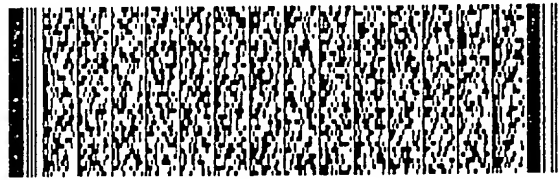
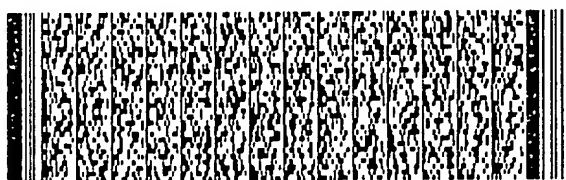
性連接品質等問題，且無需於晶片及封裝膠體上敷設介電層復能摒除習知因介電層與晶片及封裝膠體之熱膨脹係數 (CTE, coefficient of thermal expansion) 及產生之熱應力不同而易於其間之界面造成脫層 (delamination) 等缺點。

第二實施例

第 3 圖顯示本發明之第二實施例半導體封裝件。如圖所示，該半導體封裝件之結構大致與上述第一實施例所揭露之半導體封裝件相同，其不同處在於進行如第 2E 圖所示之研磨步驟時，可同時研磨去除該封裝膠體 22 遮覆住晶片 20 之非作用表面 201 的部分，以使晶片 20 之非作用表面 201 外露。除上述第一實施例之半導體封裝件所達成之功效外，該外露之非作用表面 201 有助於散逸晶片 20 運作所產生之熱量至外界或大氣中，俾能增進封裝件之散熱效率。

第三實施例

第 4 圖顯示本發明之第三實施例半導體封裝件。如圖所示，該半導體封裝件之結構大致與上述第一實施例所揭露之半導體封裝件相同，其不同處在於形成導電跡線 23 (下稱 "第一導電跡線") 於封裝膠體 22 上後，先敷設至少一介電層 27 於該第一導電跡線 23 上，並開設多數貫穿介電層 27 之貫孔 (via) 270，以使第一導電跡線 23 之預定部分藉該貫孔 270 外露。接著，於該介電層 27 上形成多數第二導電跡線 28，並使各第二導電跡線 28 與至少一第一導電跡線 23 之外露部分電性連接。

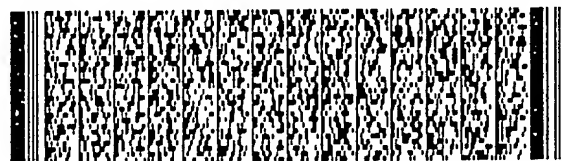
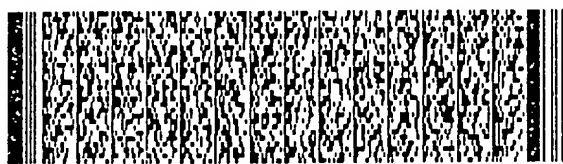


五、發明說明 (11)

然後，再於第二導電跡線 28 上敷設一拒錫劑層 24，並開設多數貫穿拒錫劑層 24 之開孔 240，以使第二導電跡線 28 之預定部分藉該開孔 240 外露，而該第二導電跡線 28 之外露部分可為終端部位 (terminal)。接著，進行習知網印作業以於各第二導電跡線 28 之外露部分 (終端) 上形成一錫球 25，而該錫球 25 係作為半導體封裝件之輸入 / 輸出端以與外界裝置 (未圖示) 成電性連接關係。

除上述第一實施例之半導體封裝件所達成之功效外，介電層 27 及第二導電跡線 28 之設置得增加晶片 20 上之增層數目而能提昇封裝件中導電跡線佈設的彈性，俾使晶片 20 更能有效地電性連接至錫球 25 及外界裝置以進行運作。

惟以上所述者，僅係用以說明本發明之具體實施例而已，並非用以限定本發明之可實施範圍，舉凡熟習該項技藝者在未脫離本發明所指示之精神與原理下所完成之一切等效改變或修飾，仍應皆由後述之專利範圍所涵蓋。



圖式簡單說明

【圖式簡單說明】

為讓本發明之上述及其他目的、特徵以及優點能更明顯易懂，將與較佳實施例，並配合所附圖示，詳細說明本發明之實施例，所附圖示之內容簡述如下：

第1圖係本發明之第一實施例半導體封裝件之剖視圖；

第2A至2H圖係第1圖之半導體封裝件之製造過程步驟示意圖；

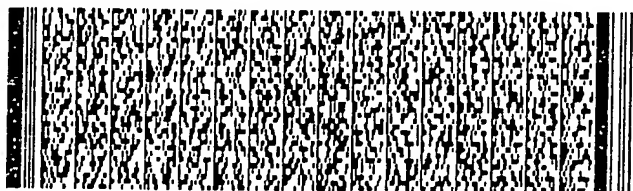
第3圖係本發明之第二實施例半導體封裝件之剖視圖；

第4圖係本發明之第三實施例半導體封裝件之剖視圖；

第5圖係一習知半導體封裝件之剖視圖；以及

第6圖係另一習知半導體封裝件之剖視圖。

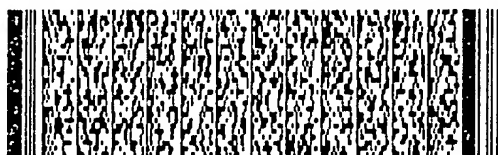
10	晶片	100	作用表面
101	鐳墊	102	非作用表面
103	側面	11	絕緣層
110	貫孔	12	(第一)導電跡線
13	拒鐳劑層	130	開孔
14	鐳球	15	封裝膠體
150	表面	16	第一介電層
160	貫孔	17	第二介電層
170	貫孔	18	第二導電跡線



圖式簡單說明

2 晶圓
200 作用表面
202 鐳墊
210 端部
220 表面
24 拒鐳劑層
25 鐳球
260 表面
27 介電層
28 第二導電跡線

20 晶片
201 非作用表面
21 導電凸塊
22 封裝膠體
23 (第一)導電跡線
240 開孔
26 載具
261 封裝單元
270 貫孔



六、申請專利範圍

1. 一種於晶片上植設有導電凸塊之半導體封裝件，包括：

至少一晶片，具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鐳墊；

多數導電凸塊，分別形成於該晶片之鐳墊上；

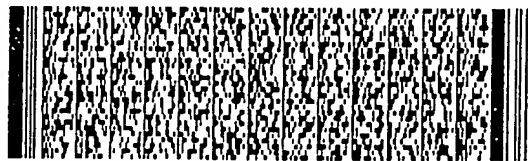
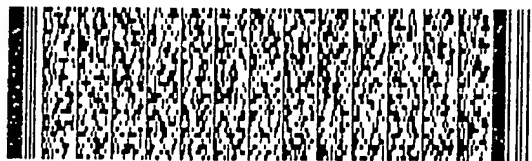
一封裝膠體，用以包覆該晶片及導電凸塊，並使該導電凸塊之端部外露出該封裝膠體且與該封裝膠體之一表面齊平；

多數第一導電跡線，形成於該封裝膠體之表面上並電性連接至該導電凸塊之外露端部；

一拒鐳劑層，敷設於該第一導電跡線上並開設有多數開孔，以使該第一導電跡線之預定部分藉該開孔外露；以及

多數鐳球，分別形成於該第一導電跡線之外露部分上。

2. 如申請專利範圍第1項之半導體封裝件，復包括：至少一介電層及多數形成於該介電層上之第二導電跡線，該介電層及第二導電跡線夾設於該第一導電跡線與拒鐳劑層之間，而使該介電層敷設於該第一導電跡線上並開設有多數貫孔，以使該第一導電跡線之預定部分藉該貫孔外露而與該第二導電跡線電性連接，並使該拒鐳劑層敷設於該第二導電跡線上而藉其開孔外露出該第二導電跡線之預定部分，而使該多數鐳球分別形成於該第二導電跡線之外露部分上。



六、申請專利範圍

3. 如申請專利範圍第1或2項之半導體封裝件，其中，該晶片之非作用表面外露出該封裝膠體。
4. 如申請專利範圍第1或2項之半導體封裝件，其中，該導電凸塊係選自鍍錫凸塊、高鉛含量鍍錫凸塊、金質鍍塊、及金質栓塊所組成之組群。
5. 如申請專利範圍第1項之半導體封裝件，其中，該第一導電跡線之外露部分係終端部位。
6. 如申請專利範圍第2項之半導體封裝件，其中，該第二導電跡線之外露部分係終端部位。
7. 一種於晶片上植設有導電凸塊之半導體封裝件的製法，包括下列步驟：

製備一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鍍墊；

分別形成多數導電凸塊於各該晶片之鍍墊上；

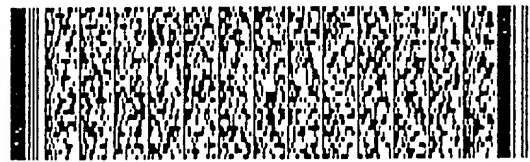
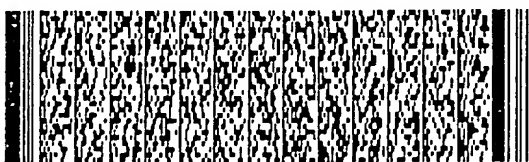
切割該晶圓以形成多數單離之晶片，而各該晶片具有多數導電凸塊；

提供一載具，用以承載該多數晶片，並使各該晶片藉其導電凸塊接置於該載具之一表面上；

形成一封裝膠體於該載具之表面上，用以包覆該多數晶片與導電凸塊；

移除該載具，以使該導電凸塊之端部外露出該封裝膠體且與該封裝膠體之一表面齊平；

形成多數導電跡線於該封裝膠體之表面上，並使



六、申請專利範圍

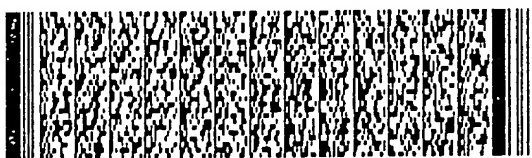
該導電跡線電性連接至該導電凸塊之外露端部；

敷設一拒銲劑層於該導電跡線上，並開設多數貫穿該拒銲劑層之開孔，以使該導電跡線之預定部分藉該開孔外露；

分別形成多數銲球於該導電跡線之外露部分上；以及

切割該封裝膠體，以形成多數具有單離之晶片的半導體封裝件。

8. 如申請專利範圍第7項之製法，復包括：於形成該多數導電跡線前，進行一研磨步驟以研磨該封裝膠體與導電凸塊端部齊平之表面。
9. 如申請專利範圍第7項之製法，復包括：於形成該多數導電跡線前，進行一研磨步驟以研磨該封裝膠體與導電凸塊端部齊平之表面，並磨除遮覆住該晶片之非作用表面的封裝膠體部分，以外露出該晶片之非作用表面。
10. 如申請專利範圍第7項之製法，其中，該導電凸塊係選自銲錫凸塊、高鉛含量銲錫凸塊、金質銲塊、及金質栓塊所組成之組群。
11. 如申請專利範圍第7項之製法，其中，該導電跡線之外露部分係終端部位。
12. 如申請專利範圍第7項之製法，其中，該載具係一膠片。
13. 一種於晶片上植設有導電凸塊之半導體封裝件的製



六、申請專利範圍

法，包括下列步驟：

製備一晶圓，由多數晶片構成，各該晶片具有一作用表面及一相對之非作用表面，並於該作用表面上形成有多數鐳墊；

分別形成多數導電凸塊於各該晶片之鐳墊上；

切割該晶圓以形成多數單離之晶片，而各該晶片具有多數導電凸塊；

提供一載具，用以承載該多數晶片，並使各該晶片藉其導電凸塊接置於該載具之一表面上；

形成一封裝膠體於該載具之表面上，用以包覆該多數晶片與導電凸塊；

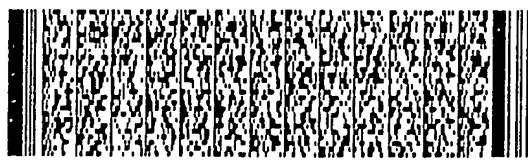
移除該載具，以使該導電凸塊之端部外露出該封裝膠體且與該封裝膠體之一表面齊平；

形成多數第一導電跡線於該封裝膠體之表面上，並使該第一導電跡線電性連接至該導電凸塊之外露端部；

敷設至少一介電層於該第一導電跡線上，並開設多數貫穿該介電層之貫孔，以使該第一導電跡線之預定部分藉該貫孔外露；

形成多數第二導電跡線於該介電層上，並使該第二導電跡線電性連接至該第一導電跡線之外露部分；

敷設一拒鐳劑層於該第二導電跡線上，並開設多數貫穿該拒鐳劑層之開孔，以使該第二導電跡線之預定部分藉該開孔外露；

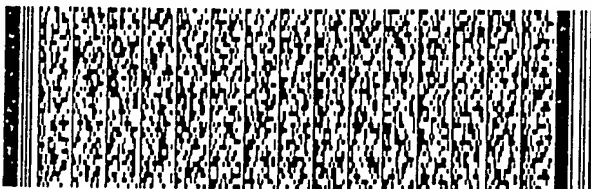


六、申請專利範圍

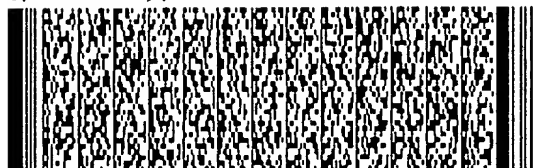
分別形成多數鐳球於該第二導電跡線之外露部分上；以及

切割該封裝膠體，以形成多數具有單離之晶片的半導體封裝件。

- 14.如申請專利範圍第13項之製法，復包括：於形成該第一導電跡線前，進行一研磨步驟以研磨該封裝膠體與導電凸塊端部齊平之表面。
- 15.如申請專利範圍第13項之製法，復包括：進行一研磨步驟以研磨該封裝膠體與導電凸塊端部齊平之表面，並磨除遮覆住該晶片之非作用表面的封裝膠體部分，以外露出該晶片之非作用表面。
- 16.如申請專利範圍第13項之製法，其中，於形成該第一導電跡線前，該導電凸塊係選自鐳錫凸塊、高鉛含量鐳錫凸塊、金質鐳塊、及金質栓塊所組成之組群。
- 17.如申請專利範圍第13項之製法，其中，該第二導電跡線之外露部分係終端部位。
- 18.如申請專利範圍第13項之製法，其中，該載具係一膠片。



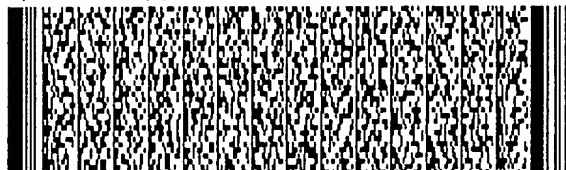
第 1/23 頁



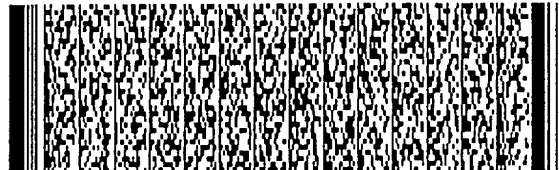
第 1/23 頁



第 2/23 頁



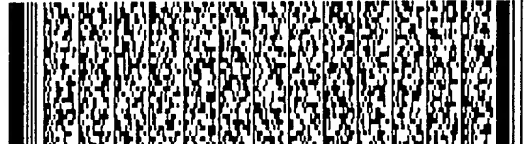
第 2/23 頁



第 3/23 頁



第 4/23 頁



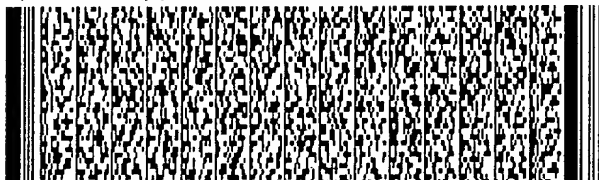
第 5/23 頁



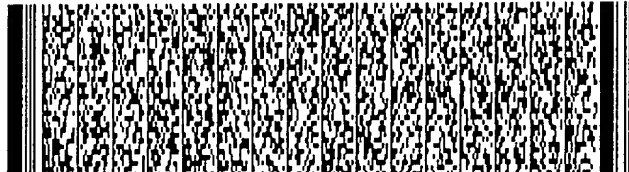
第 6/23 頁



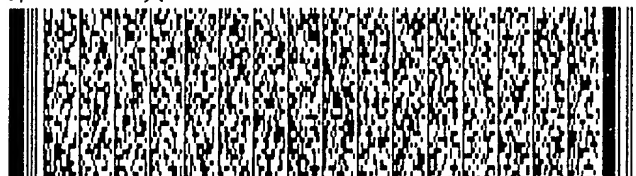
第 6/23 頁



第 7/23 頁



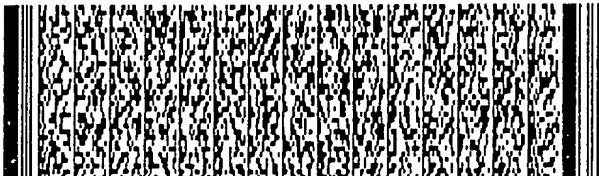
第 7/23 頁



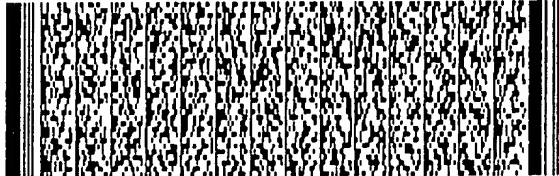
第 8/23 頁



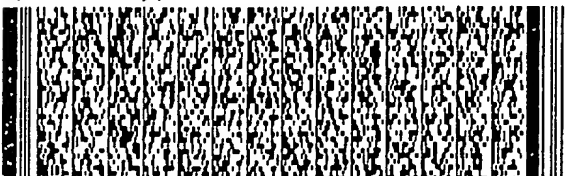
第 8/23 頁



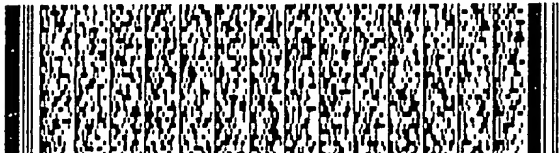
第 9/23 頁



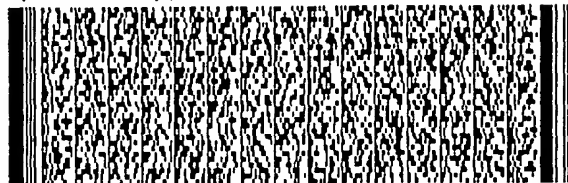
第 9/23 頁



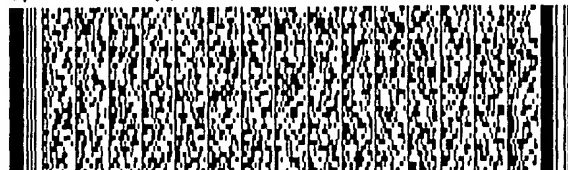
第 10/23 頁



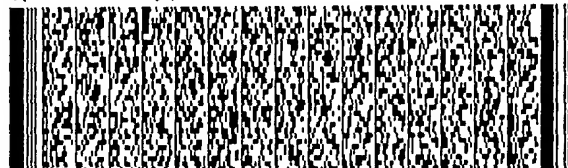
第 11/23 頁



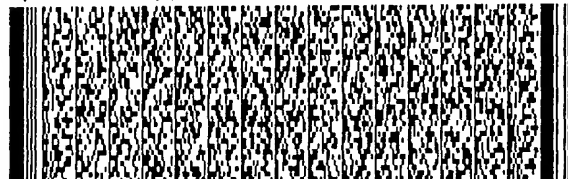
第 12/23 頁



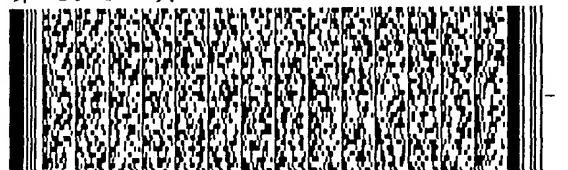
第 13/23 頁



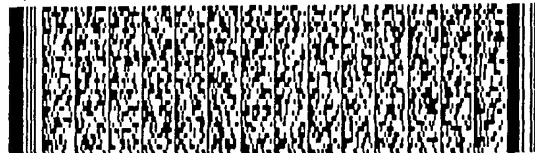
第 14/23 頁



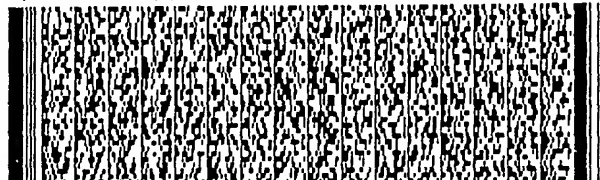
第 15/23 頁



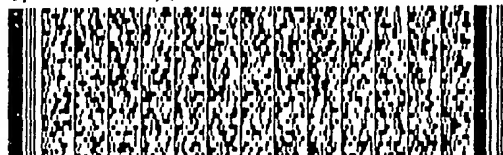
第 16/23 頁



第 17/23 頁



第 19/23 頁



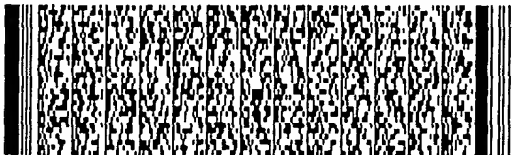
第 19/23 頁



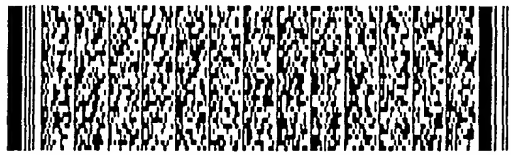
第 20/23 頁



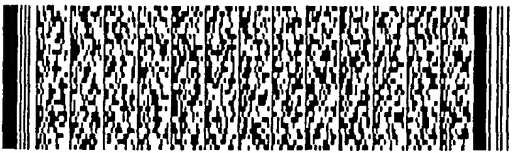
第 20/23 頁



第 21/23 頁



第 21/23 頁



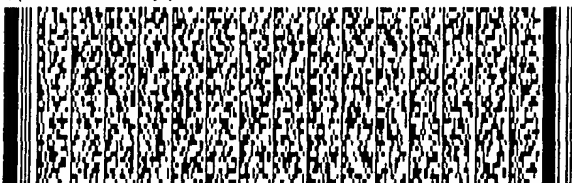
第 22/23 頁

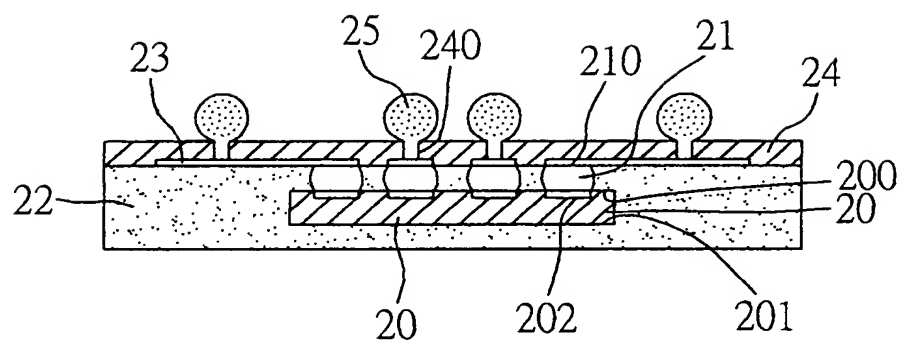


第 22/23 頁

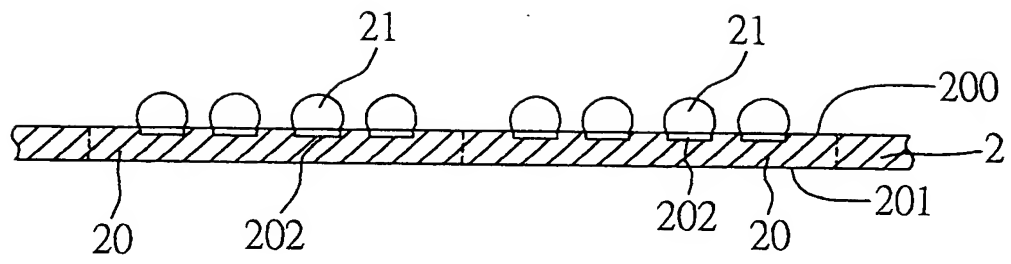


第 23/23 頁

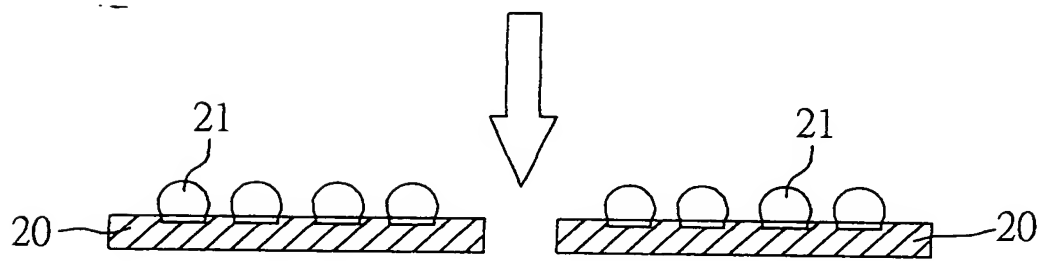




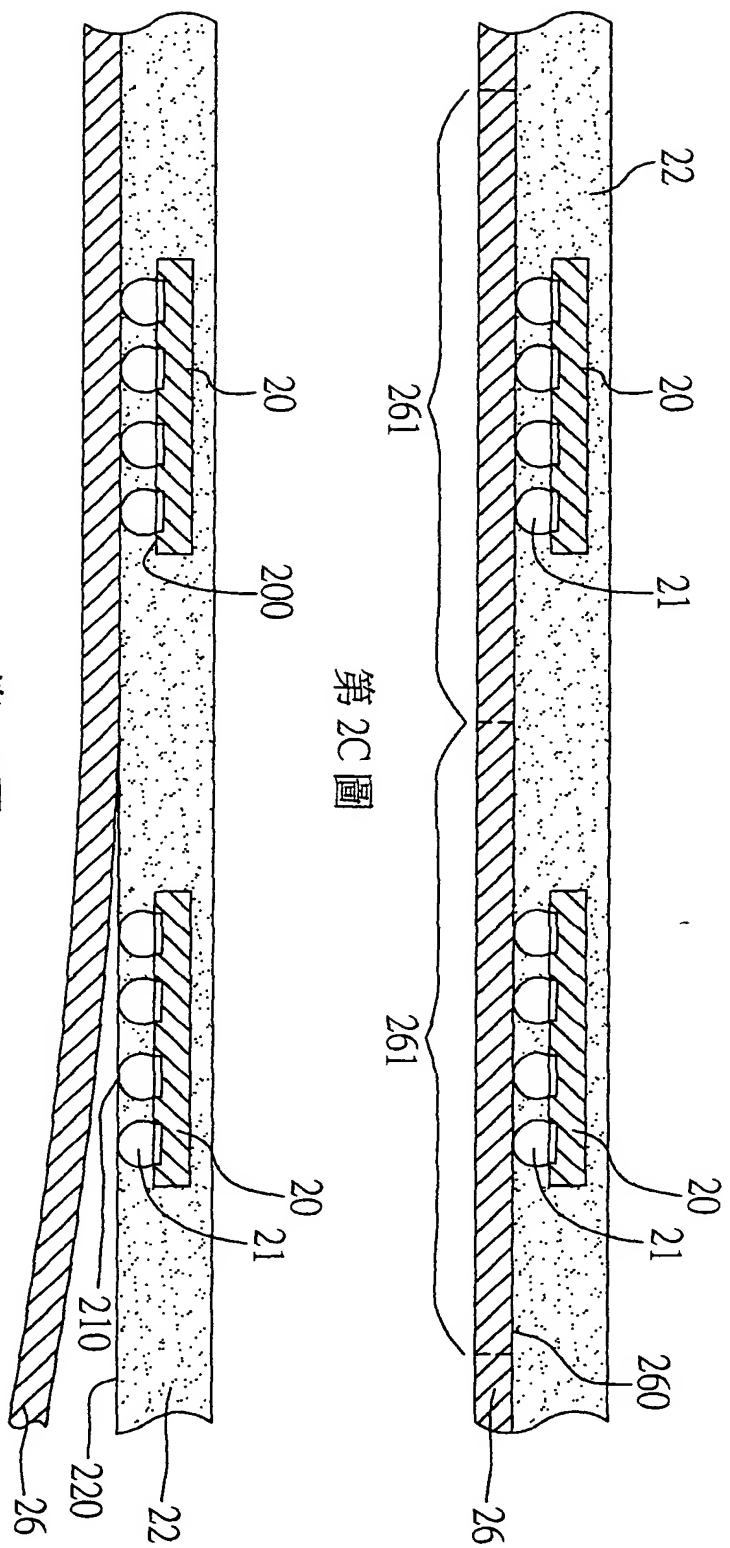
第 1 圖
(代表圖)



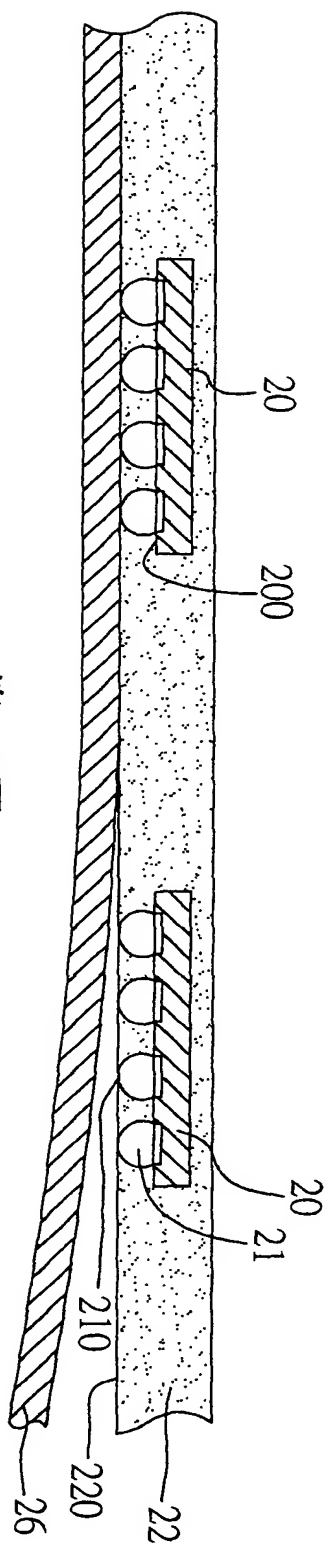
第 2A 圖



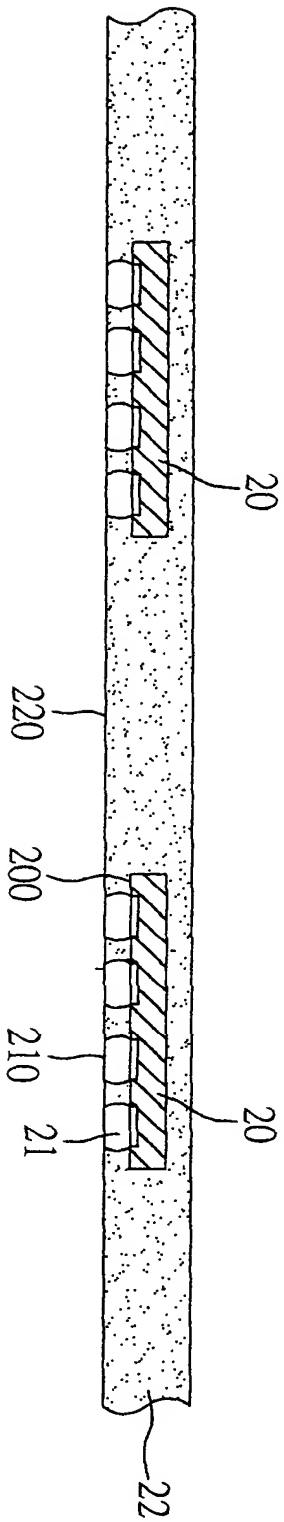
第 2B 圖



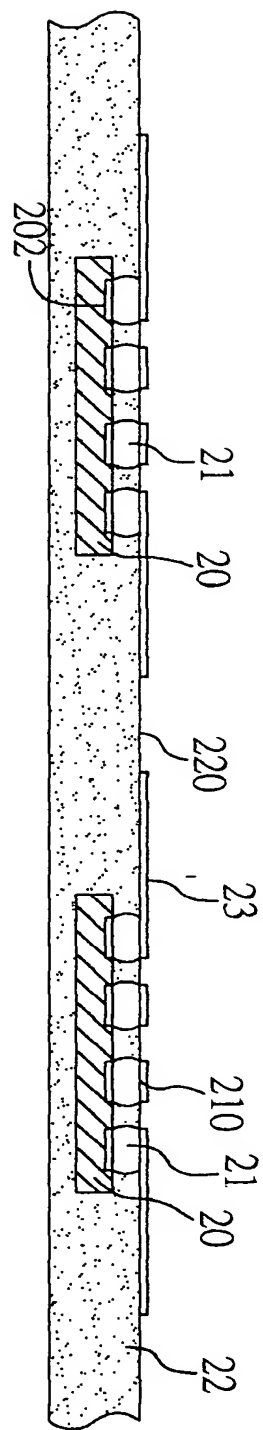
第 2C 圖



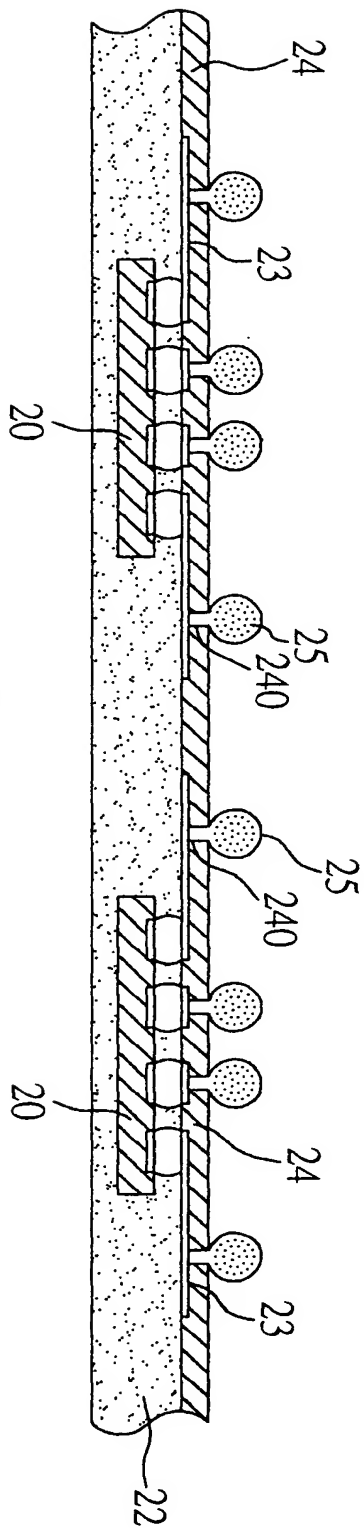
第 2D 圖



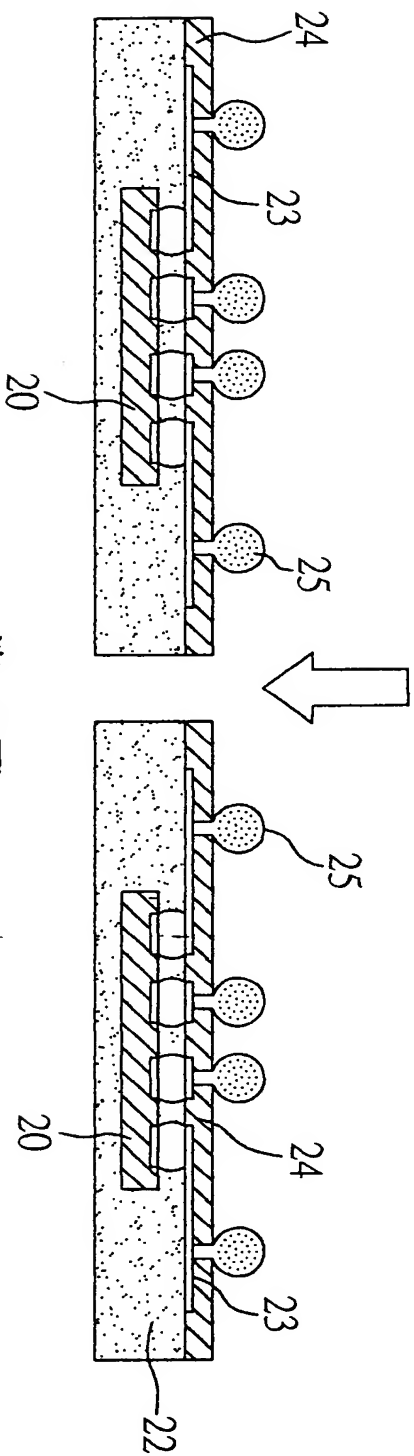
第 2E 圖



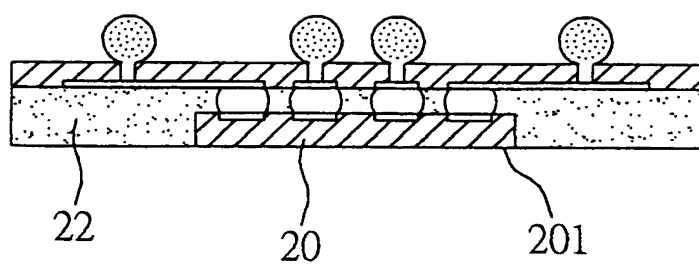
第 2F 圖



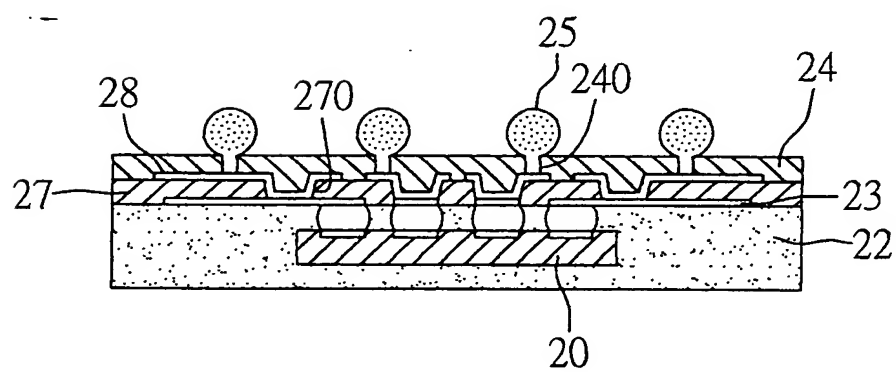
第 2G 圖



第 2H 圖



第 3 圖



第 4 圖